

PAT-NO: JP401089759A
DOCUMENT-IDENTIFIER: JP 01089759 A
TITLE: PICTURE SIGNAL PROCESSING DEVICE
PUBN-DATE: April 4, 1989

INVENTOR-INFORMATION:

NAME
TATEISHI, TORU
SATO, SHINJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A
TOSHIBA TSUSHIN SYST ENG KK	N/A

APPL-NO: JP62246307

APPL-DATE: September 30, 1987

INT-CL (IPC): H04N001/40, H04N001/04 , H04N001/387 ,
H04N001/40

ABSTRACT:

PURPOSE: To obtain a picture closer to its original picture and with high smoothness without any swell in its crossing part of orthogonal black lines by deciding the black and white of a picture signal to expand and interpolate a referring picture signal in a main scanning direction.

CONSTITUTION: Picture signals
C<SB>1</SB>∼C<SB>9</SB> of a first line
are stored in a first line memory 2, and next, picture
signals
E<SB>1</SB>∼E<SB>9</SB> of a second line are stored in
the first line

memory 2. Next, out of the picture signals of a third line, when first 2-bit picture signals G<SB>1</SB> and G<SB>3</SB> are stored in the first line memory 2, the picture signals C<SB>5</SB>, C<SB>7</SB>, C<SB>9</SB>, E<SB>1</SB>, and E<SB>3</SB> are stored in a second line memory 1, and the picture signals C<SB>3</SB>, C<SB>1</SB>, 'white', 'white', E<SB>3</SB>, E<SB>1</SB>, C<SB>9</SB>, and C<SB>7</SB> are stored in delaying circuits 3∼10, respectively, and an arithmetic part 12 executes an operation. Next, the picture signal G<SB>5</SB> of a third line is stored in the first line memory, and the operation by the arithmetic part 12 is executed. Thus, a fine picture can be obtained.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A)

昭64-89759

⑤ Int.Cl.⁴

H 04 N

1/40
1/04
1/387
1/40

識別記号

1 0 3

1 0 1

庁内整理番号

A-6940-5C

E-7037-5C

8839-5C

D-7136-5C

⑬ 公開 昭和64年(1989)4月4日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 画信号処理装置

⑯ 特 願 昭62-246307

⑰ 出 願 昭62(1987)9月30日

⑱ 発 明 者 舘 石 亨 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

⑲ 発 明 者 佐 藤 伸 二 東京都日野市旭が丘3丁目1番地の1 東芝通信システムエンジニアリング株式会社内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 出 願 人 東芝通信システムエンジニアリング株式会社 東京都日野市旭が丘3丁目1番地の1

㉒ 代 理 人 弁理士 本 田 崇

明 細 書

1. 発明の名称

画信号処理装置

2. 特許請求の範囲

シリアルに接続され与えられる画信号を夫々1ラインづつ格納する第1、第2のラインメモリと、

前記第1のメモリから出力される画信号を1ビットづつシフトさせて保持する4段の第1のシフト部と、

前記第2のメモリから出力される画信号を1ビットづつシフトさせて保持する4段の第2のシフト部と、

前記第1のラインメモリの出力信号 O_{19} 、前記第1のシフト部の第1段から第4段までの出力信号 O_{17} 、 O_{15} 、 O_{13} 、 O_{11} 、前記第2のラインメモリの出力信号 O_{29} 、前記第2のシフト部の第1段から第4段までの出力信号 O_{27} 、 O_{25} 、 O_{23} 、 O_{21} を取込み、出力信号 O_{25} 、出力信号 O_{25} 、 O_{27} 間、出力信号 O_{15} 、 O_{17} 間、出力信号 O_{25} 、

O_{17} (または O_{27} 、 O_{15}) 間の画信号となる信号を夫々 X_1 、 X_2 、 Y_1 、 Y_2 とし、前回の演算による Y_2 を Y_0 とすると、出力信号 O_{25} の位置の画信号はそのまま、 $X_1 = O_{25}$

$$X_2 = O_{25}$$

$$P = O_{25} \times (O_{13} + O_{15} + \overline{O_{13} + O_{15} + O_{17}} + O_{23} \times O_{15} \times \overline{O_{17}})$$

$$Q = O_{25} \times (O_{15} + O_{17} + \overline{O_{13} + O_{15} + O_{17}} + O_{27} \times \overline{O_{13}} \times O_{15})$$

$$R = O_{27} \times (O_{15} + O_{17} + \overline{O_{15} + O_{17} + O_{19}} + O_{25} \times O_{17} \times \overline{O_{19}})$$

$$Y_1 = P + O_{25} \times Y_0 \times Q$$

$$Y_2 = Q + O_{25} \times P \times R$$

の演算を行って、 X_1 、 X_2 、 Y_1 、 Y_2 を出力する演算部とを具備する画信号処理装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、ファクシミリ装置等において得た画信号の補間を行って、より緻密な記録出力を

得る場合等に用いると好適な画信号処理装置に関するものである。

(従来の技術)

従来、ファクシミリ装置においては、線密度の粗い画信号を得る送信機から送られた画信号に基づいて線密度の細かい画信号を扱う受信機が記録出力を行う場合が生じる。かかる場合、受信機では、単純に前ラインの画信号を補間すべきラインに置換えて用いるようにしていた。また、主走査方向に粗い画信号を用いて、主走査方向に細かい記録出力を行う場合も、前画信号を補間すべき画素に置換えて用いるようにしていた。

これによると画の平滑度が低いまま記録出力されるという欠点があり、これを解決すべく第7図に示されるように黒の画信号(原画素)からの距離に応じた数値を(「1」、「2」、「3」で示す)を求め、次に第8図に示すように、補間する画素の上方の原画素による上記数値と同じく補間する画素の下方の原画素による上記数値との和を求め、これが4以上であれば、当該補間する画素

を黒(第8図の太線内が黒となる)とする。

尚、第8図のロー2、ロー3、ロー4、ハー2、ハー3、ハー4の6個の画素については、上記数値の和が4であるが、これらを白に置換える。これは、原ラインAと原ラインBの主走査方向に同じ位置の画素において、これらがともに白である場合、上記数値が4以上であるからと言って、補間する画素を黒とすると、入力データでつながっていなかった部分をつなぐことになってしまうからである。つまり、この手法では原データのつながりに関する情報は保存される。また、リー4、ヌー4の画素は上記数値が3であるが、この画素を黒とする。これは1ライン分の黒い細線が記録されることを防止するため、原データが黒画素である場合、その上下の補間する画素は必ず黒とするのである。この手法にすると、画が斜線等の部分において画の平滑度は向上する。例えば、第4図に示すような「漢」という文字の原画信号パターンが与えられた場合、上記の従来の手法を用いた画信号処理装置により補間を行って新らたな画

- 3 -

信号パターンを得ると、第6図(枠内が黒である)のようになる。この図から明らかなように、平滑度は増すものの、直角となるべき部分(第6図a、b等)で膨み(所謂太り)が生じてしまうという問題点が生じた。

(発明が解決しようとする問題点)

上記のように従来の画信号処理装置によると、前ラインの画信号を用いてそのまま補間を行っていたため、画の平滑度が不十分であるという問題点があり、これを改善すべく粗い画信号2ラインを用いてその2ライン間の対応する画信号の黒白を、それを挟んでいる2ラインの画信号に基づく距離の相関により決定される数値から求めるように画信号処理装置を構成していた。しかし、これによっても黒線が直交する部分で膨み(太り)が生じるという問題点が生じた。

本発明はこのような従来の画信号処理装置の欠点に鑑みなされたもので、その目的は、粗い密度の画から細かい密度の画を得るときに、平滑で原画により忠実な画を得ることのできる画信号処理

装置を提供することである。

[発明の構成]

(問題点を解決するための手段)

本発明では、シリアルに接続され与えられる画信号を夫々1ラインづつ格納する第1、第2のラインメモリと、

前記第1のメモリから出力される画信号を1ビットづつシフトさせて保持する4段の第1のシフト部と、

前記第2のメモリから出力される画信号を1ビットづつシフトさせて保持する4段の第2のシフト部と、

前記第1のラインメモリの出力信号 O_{19} 、前記第1のシフト部の第1段から第4段までの出力信号 O_{17} 、 O_{15} 、 O_{13} 、 O_{11} 、前記第2のラインメモリの出力信号 O_{29} 、前記第2のシフト部の第1段から第4段までの出力信号 O_{27} 、 O_{25} 、 O_{23} 、 O_{21} を取込み、出力信号 O_{25} 、出力信号 O_{25} 、 O_{27} 間、出力信号 O_{15} 、 O_{17} 間、出力信号 O_{25} 、 O_{17} (または O_{27} 、 O_{15})間の画信号となる信号

- 5 -

-384-

- 6 -

を夫々 X_1 、 X_2 、 Y_1 、 Y_2 とし、前回の演算による Y_2 を Y_0 とすると、出力信号 O_{25} の位置の画信号はそのまま、 $X_1 = O_{25}$

$$X_2 = O_{25}$$

$$P = O_{25} \times (O_{13} + O_{15} + \overline{O_{13} + O_{15} + O_{17}}) + O_{23} \times O_{15} \times \overline{O_{17}}$$

$$Q = O_{25} \times (O_{15} + O_{17} + \overline{O_{13} + O_{15} + O_{17}}) + O_{27} \times \overline{O_{13}} \times O_{15}$$

$$R = O_{27} \times (O_{15} + O_{17} + \overline{O_{15} + O_{17} + O_{19}}) + O_{25} \times O_{17} \times \overline{O_{19}}$$

$$Y_1 = P + O_{25} \times Y_0 \times Q$$

$$Y_2 = Q + O_{25} \times P \times R$$

の演算を行って、 X_1 、 X_2 、 Y_1 、 Y_2 を出力する演算部とを具備させて画信号処理装置を構成した。

(作用)

上記構成によると、画信号からの距離の相関によるだけでなく、主走査方向に参照画信号を拡げて補間する画信号の白黒を決定するようにしたので、直交する黒線の交叉部分が膨らむことがな

く、平滑度の高い、より原画に忠実な画を得ることができる。

(実施例)

以下図面を参照して本発明の一実施例を説明する。第1図は本発明の一実施例のブロック図である。

同図において、2は第1のラインメモリ、1は第2のラインメモリ、20は第1のシフト部、30は第2のシフト部、12は演算部を夫々示す。第1のシフト部20はシリアルに接続された遅延回路7～10から成り、第2のシフト部30はシリアルに接続された遅延回路3～6から成る。第1のラインメモリ2の出力信号 O_{19} は第2のラインメモリ1、遅延回路7及び演算部12へ与えられる。第2のラインメモリ2の出力信号 O_{29} は遅延回路3及び演算部12へ与えられる。また遅延回路3～10の出力信号 O_{27} 、 O_{25} 、 O_{23} 、 O_{21} 、 O_{17} 、 O_{15} 、 O_{13} 、 O_{11} は演算部12へ与えられている。ここで、出力信号 O_{25} 、出力信号 O_{25} 、 O_{27} 間、出力信号 O_{15} 、 O_{17} 間、出力信号 O_{25} 、 O_{17} (または O_{27} 、 O_{15})

- 7 -

間の画信号となる信号を夫々 X_1 、 X_2 、 Y_1 、 Y_2 とし、前回の演算による Y_2 を Y_0 とすると、出力信号 O_{25} の位置の画信号はそのまま $X_1 = O_{25}$ 、

$$X_2 = O_{25}$$

$$P = O_{25} \times (O_{13} + O_{15} + \overline{O_{13} + O_{15} + O_{17}}) + O_{23} \times O_{15} \times \overline{O_{17}}$$

$$Q = O_{25} \times (O_{15} + O_{17} + \overline{O_{13} + O_{15} + O_{17}}) + O_{27} \times \overline{O_{13}} \times O_{15}$$

$$R = O_{27} \times (O_{15} + O_{17} + \overline{O_{15} + O_{17} + O_{19}}) + O_{25} \times O_{17} \times \overline{O_{19}}$$

$$Y_1 = P + O_{25} \times Y_0 \times Q$$

$$Y_2 = Q + O_{25} \times P \times R$$

の演算を行って、 X_1 、 Y_1 、 X_2 、 Y_2 を出力する。

次に、この画信号処理装置の動作を説明する。ず、初期状態においては、第1、第2のラインメモリ2、1及び第1、第2のシフト部20、30はリセットされており、信号としては「白」に対応する信号が格納されている。また、これらの各部は、

- 9 -

図示せぬ制御部より送られるクロックで同期して動作する。ここで、ファクシミリ伝送され受信され原画信号とされた信号が第2図に示すように、第1ラインが C_1 、 C_2 、…、 C_9 、第2ラインが E_1 、 E_2 、…、 E_9 、第3ラインが G_1 、 G_2 、…、 G_9 と第1のラインメモリ2へ到来する。すると、第1ラインの画信号 $C_1 \sim C_9$ がクロック応じて第1のラインメモリ2に格納され、次いで第2ラインの画信号 $E_1 \sim E_9$ がクロックに応じて第1のラインメモリ2に格納される。このとき、第2のラインメモリ1には第1ラインの画信号 $E_1 \sim E_9$ が格納される。次に、第3ラインの画信号のうち最初の2ビットの画信号 G_1 、 G_3 が第1のラインメモリ2に格納されると、第2のラインメモリ1には画信号 C_5 、 C_7 、 C_9 、 E_1 、 E_3 が格納され、遅延回路3～10には画信号 C_3 、 C_1 、「白」、「白」、 E_3 、 E_1 、 C_9 、 C_7 が夫々格納される。この段階で演算部12は上述した演算を行なう。この結果、出力端子Xから先ず X_1 として出力されるのは、 C_1 であ

- 8 -

る。次に出力端子YからY₁が出力されるが、これは第3図の画信号D₁に相当する。更に、出力端子X、Yからは、X₂、Y₂が出力されるが、これらは第3図の画信号C₂、D₂に相当する。次に第3ラインの画信号G₅が第1のラインメモリに格納され、第2のラインメモリ1、遅延回路3〜10では画信号のシフトが生じる。そして、上記と同様にして演算部12による演算が行われ、出力端子X、Yからは、X₁として第3図に示す画信号C₃、Y₁として第3図に示す画信号D₃、X₂として第3図に示すC₄、Y₂として第3図に示す画信号D₄が夫々出力される。以下、同様にして動作が続けられ、補間により精緻な画を得ることができる。尚、最終ラインの画信号に続いては「白」のダミー信号が入力される。このような実施例において、第4図に示される「漢」という文字の原画信号パターンが与えられた場合、補間により得られる画は第5図（枠内が黒となる）の如くなり、平滑度が増す上に、黒線が直交する部分で膨み（太り）が生じることなく、原画に忠実な

精緻な補間画を得ることができる。

〔発明の効果〕

以上説明したように本発明によれば、主走査方向に参照画信号を拡げることにより、直交する黒線の交叉部分が膨むことなく、平滑度の高い、より原画に忠実な画を得ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図、第3図は本発明の動作を説明するための入力信号及び出力信号の図、第4図は入力される原画信号パターンの例を示す図、第5図は第4図の原画信号を本実施例により処理した結果を示す図、第6図は第4図の原画信号パターンを従来の画信号処理装置で処理した結果を示す図、第7図、第8図は従来の画信号処理装置による処理動作を説明するための図である。

1…第2のラインメモリ

2…第1のラインメモリ

3〜10…遅延回路

12…演算部

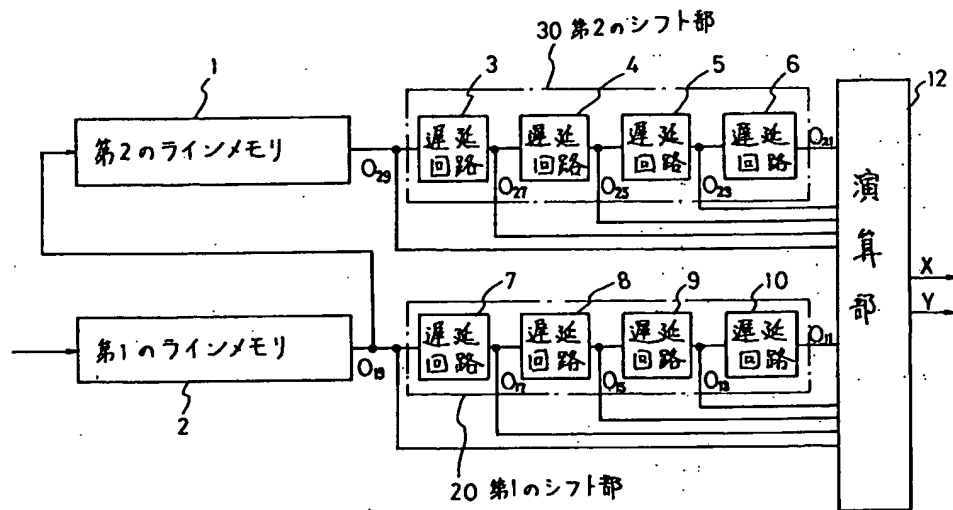
- 11 -

20…第1のシフト部

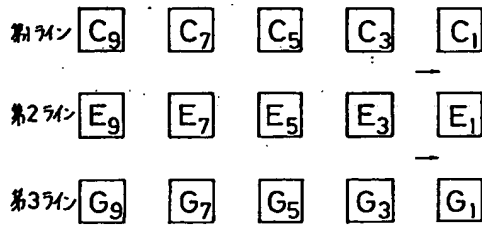
30…第2のシフト部

- 12 -

代理人 弁理士 本 田 崇



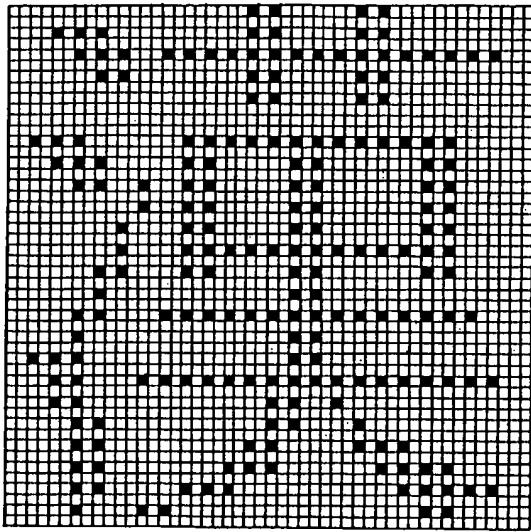
第 1 図



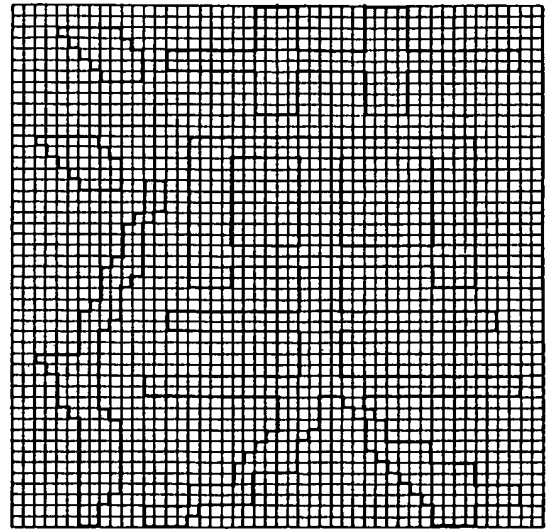
第 2 図

C ₁₀	C ₉	C ₈	C ₇	C ₆	C ₅	C ₄	C ₃	C ₂	C ₁
D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁
E ₁₀	E ₉	E ₈	E ₇	E ₆	E ₅	E ₄	E ₃	E ₂	E ₁
F ₁₀	F ₉	F ₈	F ₇	F ₆	F ₅	F ₄	F ₃	F ₂	F ₁
G ₁₀	G ₉	G ₈	G ₇	G ₆	G ₅	G ₄	G ₃	G ₂	G ₁

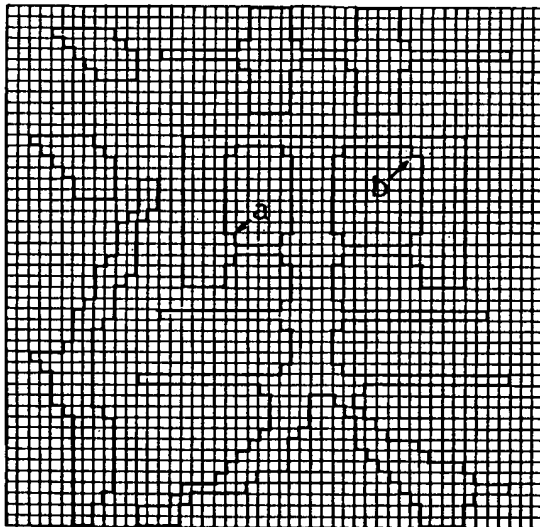
第 3 図



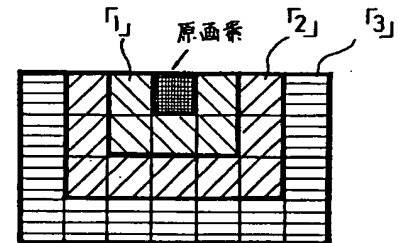
第 4 図



第 5 図



第 6 図



第 7 図

	イ	ロ	ハ	ニ	ホ	ヘ	ト	チ	リ	ス
原ラインA 1		3	3			3	2	1		
2	3	1	3	1	3	1	3	2	1	1
3	2	2	2	2	2	2	2	2	2	2
4	1	3	1	3	1	3	1	3	1	3
原ラインB 5		3	3			3	2	1		

Aによる値
 Bによる値

第 8 図